

(51) Int.Cl.
H 01 L 29/786識別記号 庁内整理番号
9449-4MF I
H 01 L 29/78

6 2 3 A

審査請求 未請求 予備審査請求 未請求(全 32 頁)

(21) 出願番号 特願平8-508581
 (86) (22) 出願日 平成7年(1995)7月13日
 (85) 翻訳文提出日 平成8年(1996)4月18日
 (86) 国際出願番号 P C T / I B 9 5 / 0 0 5 5 9
 (87) 国際公開番号 W O 9 6 / 0 7 3 0 0
 (87) 国際公開日 平成8年(1996)3月7日
 (31) 優先権主張番号 9 4 1 6 8 9 9 . 4
 (32) 優先日 1994年8月20日
 (33) 優先権主張国 イギリス (GB)
 (81) 指定国 EP (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), JP, KR

(71) 出願人 フィリップス エレクトロニクス ネムロ
 ーゼ フェンノートシャップ
 オランダ国 5621 ベーアー アインドー
 フェン フルーネヴァウツウエッハ 1
 (72) 発明者 ヤング ナイジェル デヴィッド
 イギリス国 サリー アールエイチ1 ジ
 エール4 レッドヒル ミードヴェイル
 サマセット ロード 23
 (74) 代理人 弁理士 杉村 曉秀 (外1名)

(54) 【発明の名称】 薄膜回路を有する電子装置の製造

(57) 【要約】

液晶表示装置及び大面積電子装置の製造において、イオン注入及び/又は処理中にトラック及び他の薄膜回路素子に静電損傷 (ESD) が生ずる。この損傷は、リーク通路中の薄膜回路素子をゲート可能なTFTリンク (45) に接続することにより回避される。これらのリンク (45) は、デバイス回路の試験中にTFT (45) をターンオフさせるためのリンクを流れる電流を制御するゲートバイアス電圧を印加する共通のゲートライン (7) を有するTFT (45) とする。本発明では、リーク通路のゲート可能なリンクを、前記共通のゲートラインに十分に高いゲートバイアス V_{g2} を印加することにより前記TFTの少なくともチャネル領域を蒸発させることにより除去する。TFT (45) について好適な薄膜構造体を選択してこの方法によるチャネル領域 (6) の蒸発を促進させる。TFT (45) は極めて薄いゲート誘電体層 (8) を有することができ、チャネル領域 (6) はゲート (7) とオーバーラップする区域において細くする。保護層 (44) によりリンクを吹き飛ばしたときに生ずる破片からデバイスの回路素子を保護す

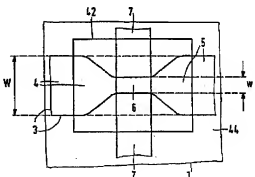


FIG. 3

【特許請求の範囲】

1. 絶縁性基板上に一群の薄膜トラックを含む複数の薄膜回路素子を有する電子装置の製造方法であって、基板上に一群の薄膜トランジスタを、各トランジスタのチャネル領域が前記トラック群の各薄膜トラックに対するゲート可能なリンクを形成して電荷リーク通路の薄膜トラックを接続する回路を構成するように形成し、この電荷リーク通路が回路素子を静電放電の損傷から保護するように作用し、前記トランジスタ群にゲートバイアス電圧を印加してトランジスタのチャネル領域を流れる電流を制御するための共通のゲートラインが形成されている電子装置を製造するに際し、

前記リーク通路が静電放電から保護するように作用した後、全ての薄膜トラックに対する前記リーク通路のゲート可能なリンクを、前記共通のゲートラインに十分に高いゲートバイアスを印加することにより前記トランジスタの少なくともチャネル領域を蒸発させて同時に破断させることを特徴とする電子装置の製造方法。

2. 前記トランジスタのチャネル領域を、前記共通のゲートラインの近傍で細くなる幅を有する半導体薄膜パターンにより形成することを特徴とする請求項1に記載の方法。

3. 前記電子装置の薄膜回路素子がデバイス回路のトランジスタを含み、前記ゲート可能なリンクのトランジスタが、前記デバイス回路のトランジスタを形成するために用いた薄膜処理工程の少なくとも一部の工程を用いて形成することとを特徴とする請求項1又は2に記載の方法。

4. 前記ゲート可能なリンクのトランジスタのゲート誘電体を、前記デバイス回路のトランジスタのゲート誘電体を形成するためのより厚い絶縁性薄膜パターンよりも薄い厚さの絶縁性薄膜パターンにより形成することを特徴とする請求項3に記載の方法。

5. 前記デバイス回路のトランジスタ及びゲート可能なリンクのトランジスタのゲート誘電体が、デバイス回路及びゲート可能なリンクが形成される予定の位置に絶縁性薄膜を形成する工程と、堆積された絶縁性薄膜上に、前記ゲート可

能なリンクが形成される位置に意を有するマスクパターンを形成する工程と、堆積された絶縁性薄膜を前記窓の位置において一層薄くなるようにエッチングする工程とを含む工程により形成することとを特徴とする請求項4に記載の方法。

6. 前記デバイス回路のトランジスタ及びゲート可能なリンクのトランジスタのチャネル領域を、デバイス回路のトランジスタのチャネル領域の幅がゲート可能なリンクのトランジスタのチャネル領域の幅よりも太くされている共通の半導体薄膜パターンで形成したことを特徴とする請求項3から5までのいずれか1項に記載の方法。

7. 前記共通のゲートラインに高ゲートバイアスを印加する前に、前記薄膜回路素子及び薄膜接続トラック上に保護層を形成して、薄膜回路素子及び薄膜トラックを破断したゲート可能リンクからの破片に対してマスクし、この保護層がチャネル領域の区域のゲート可能トランジスタの薄膜構造体を露出させる窓を有することを特徴とする請求項1から6までのいずれか1項に記載の方法。

8. 前記ゲート可能なリンクの薄膜トランジスタが薄膜接続トラックと共に形成されて薄膜接続トラックの長手方向と直交する方向に延在するリーク通路を形成し、前記共通のゲートラインが薄膜接続トラックの長手方向と直交する方向に延在すると共にゲート可能なリンクのトランジスタのゲート誘電体を構成する絶縁性薄膜パターンよりも厚い絶縁性薄膜パターンにより薄膜接続トラックから分離したことを特徴とする請求項1から7までのいずれか1項に記載の方法。

9. 絶縁性基板上に一群の薄膜トラックを含む複数の薄膜回路素子を有し、基板上の一群の薄膜トランジスタが、各トランジスタのチャネル領域が前記トラック群の各薄膜トラックに対するゲート可能なリンクを形成して電荷リーク通路の薄膜トラックを接続する回路を構成するように形成され、この電荷リーク通路が回路素子を静電放電の損傷から保護するように作用し、前記トランジスタ群が、ゲートバイアス電圧を印加してトランジスタのチャネル領域を流れる電流を制御するための共通のゲートラインを有する電子装置において、

前記薄膜トランジスタ群の各トランジスタが、チャネル領域と共通のゲート

ラインとの区域に、前記共通のゲートラインに十分に高いゲートバイアスを印加

してチャネル領域を蒸発させることにより前記トランジスタを開回路とするのに好適な薄膜構造体として形成され、前記薄膜構造体が、ゲート可能なリンクのトランジスタのために、装置の回路中の他のトランジスタのゲート誘電体を構成する絶縁性薄膜パターンよりも薄いゲート誘電体を有することを特徴とする電子装置。

10. 絶縁性基板上に一群の薄膜トラックを含む複数の薄膜回路素子を有し、基板上の一群の薄膜トランジスタが、各トランジスタのチャネル領域が前記トラック群の各薄膜トラックに対するゲート可能なリンクを形成して電荷リーク通路の薄膜トラックを接続する回路を構成するように形成され、この電荷リーク通路が回路素子を静電放電の損傷から保護するように作用し、前記トランジスタ群が、ゲートバイアス電圧を印加してトランジスタのチャネル領域を流れる電流を制御するための共通のゲートラインを有する電子装置において、

前記薄膜トランジスタ群の各トランジスタが、チャネル領域と共通のゲートラインとの区域に、前記共通のゲートラインに十分に高いゲートバイアスを印加してチャネル領域を蒸発させることにより前記トランジスタを開回路とするのに好適な薄膜構造体として形成され、前記薄膜構造体が、チャネル領域を構成すると共に共通のゲートライン付近で細くなる幅を有する半導体薄膜パターンを有することを特徴とする電子装置。

11. 絶縁性基板上に一群の薄膜トラックを含む複数の薄膜回路素子を有し、基板上の一群の薄膜トランジスタが、各トランジスタのチャネル領域が前記トラック群の各薄膜トラックに対するゲート可能なリンクを形成して電荷リーク通路の薄膜トラックを接続する回路を構成するように形成され、この電荷リーク通路が回路素子を静電放電の損傷から保護するように作用し、前記トランジスタ群が、ゲートバイアス電圧を印加してトランジスタのチャネル領域を流れる電流を制御するための共通のゲートラインを有する電子装置において、

前記薄膜トランジスタ群の各トランジスタが、チャネル領域と共通のゲートラインとの区域に、前記共通のゲートラインに十分に高いゲートバイアスを印加してチャネル領域を蒸発させることにより前記トランジスタを開回路とする

のに好適な薄膜構造体して形成され、前記薄膜構造体が、前記薄膜回路素子及び薄膜接続トラック上に存在する保護層に窓を有し、この窓によりチャネル領域のトランジスタの薄膜構造体が露出し、前記保護層が、薄膜回路素子及び薄膜トラックを破断したゲート可能リンクからの破片に対してマスクすることを特徴とする電子装置。

【発明の詳細な説明】

薄膜回路を有する電子装置の製造

本発明は、絶縁性基板上に薄膜接続トラック群を有する複数の薄膜回路素子を有する電子装置の製造方法に関する。特に、本発明は回路素子を静電放電による損傷（ＥＳＤ）から保護することに関するものである。本発明はこの方法により製造された電子装置及びこの保護手段を有する電子装置にも関するものである。この電子装置は、例えばアクティブマトリックス液晶表示装置又は他のフラットパネル表示装置、或いは例えば薄膜データ記憶又はイメージセンサのような薄膜回路を有する他の形式の面積電子装置とすることができる。

絶縁性基板上に薄膜回路素子と共に一群の薄膜トランジスタを形成することによりＥＳＤから保護することは、特開平５－１８１１５７号公報から既知である。各トランジスタはチャネル領域を有し、このチャネル領域は電荷リーク通路中で薄膜トラックを接続するための各薄膜トラックに対してゲート可能なリンクを構成する。このリーク通路は、装置の製造工程中に回路素子を静電放電による損傷（ＥＳＤ）から保護するように作用する。トラック群はトランジスタのチャネル領域を流れる電流を制御するゲートバイアス電圧を印加する共通のゲートラインを有する。

空乏モード薄膜電界効果トランジスタ（ＴＦＴ）を用いて特開平５－１８１１５７号に記載の液晶表示装置のゲート可能なリンクを形成する。これらのトランジスタは周辺の短絡回路リングと走査ライン及びデバイスの信号ラインとの間に形成する。共通のゲートラインに電圧を印加しない場合、これら空乏モードトランジスタは導通状態になり、走査ライン及び信号ラインと短絡回路リングとの間で静電電荷をリークさせることができる。共通のゲートラインに負電圧が印加されると、 n チャネルを有する空乏モードトランジスタは高抵抗状態に切り換えられ、走査ライン及び信号ラインを短絡回路リングから分離する。この分離状態において、薄膜導体ラインに試験信号を印加して薄膜回路を試験することができる。製造工程が完了すると、短絡回路リングは、例えばデバイス基板の周辺に隣

接する部分をけがくことにより除去することができる。

本発明の目的は、ゲート可能なリンクを有する静電電荷リンクを通路を用いてESDから保護すると共に、けがき処理により又はこれと同様な処理により通路の一部（例えば、短絡リング）を除去する必要性を回避することを目的とする。

本発明の第1の見地によれば、絶縁性基板上に一群の薄膜トラックを含む複数の薄膜回路素子を有する電子装置の製造方法であって、基板上に一群の薄膜トランジスタを、各トランジスタのチャネル領域が前記トラック群の各薄膜トラックに対するゲート可能なリンクを形成して電荷リンク通路の薄膜トラックを接続する回路を構成するように形成し、この電荷リンク通路が回路素子を静電放電の損傷から保護するように作用し、前記トランジスタ群にゲートバイアス電圧を印加してトランジスタのチャネル領域を流れる電流を制御するための共通のゲートラインが形成されている電子装置の製造方法を提供する。本発明では、この方法は、リンク通路が静電放電から保護するように作用した後、全ての薄膜トラックに対する前記リンク通路のゲート可能なリンクを、前記共通のゲートラインに十分に高いゲートバイアスを印加することにより前記トランジスタの少なくともチャネル領域を蒸発させて同時に切断させることを特徴とする。

従って、ESD保護を行なった後、この群の全てのゲート可能なリンクは、共通のゲートラインに高いバイアスを印加することにより簡単な方法で同時に除去される。電流は個々のチャネル領域と共通のゲートラインとの間を流れるので、これらのリンクはヒューズと同様に電気的に吹き飛ばされる。従って、各トランジスタのチャネル領域に永久的な開回路切断を形成することができる。

この関係において、勿論、本発明者は、例えばアルミニウム又は金属シリサイドの薄膜リンクを用いて薄膜トラック間でのESDの保護を行ない、次にこれら薄膜リンク（ヒューズのような）を吹き飛ばしてESD保護通路を切断させることを提案している。このヒューズのリンク技術は欧州特許出願公開第589519号に開示されており、その全ての開示内容は本願の内容として援用する。この場合、リンクは、順次のトラック対間に個別のパルスを順次印加することにより吹き飛ばされる。従って、全てのリンクを同時に蒸発させることはできない。さらに、これらのリンクはゲート可能でなく、一時的な回路分離は達成されない。

従って、欧州特許出願公開第589519号の装置は、各リンク対を個別に吹き飛ばす前に試験を行なうことはできない。

本発明のリンクは、共通のゲートラインに異なるバイアス電圧レベルを印加することにより吹き飛ばし可能であると共にゲートすることもできる。低いゲートバイアスを印加すると、一時的な回路分離が達成されてデバイス回路を試験することができる。共通のゲートラインに十分に高いゲートバイアスを印加すると、トランジスタ構造体は破断し、ゲートラインとトランジスタのチャネル領域との間に十分な大きな電流を流すことができ、ジュール熱によりゲート可能なリンクが破断する。破断させるため、各薄膜トランジスタの薄膜構造はチャネル領域と共通のゲートラインとの間の区域に種々の方法で形成することができる。個々の実施例（薄いゲート誘電体及び細いチャネル領域）を以下に説明する。

エンハンスメント型又はデプレッション型のいずれの薄膜電界効果トランジスタ（共に「TFT」と称する）を用いて、本発明により高ゲートバイアスにより破断可能なゲート可能なリンクを構成することができる。

本発明によるゲート可能なリンクトランジスタは薄膜接続トラックの端部だけでなく薄膜接続トラック間にも形成することができる。デバイスの製造者又はユーザのいずれもが共通のゲートラインに高電圧を印加してゲート可能なリンクを破断させることができる。従って、これらのリンクはデバイスを販売する前に製造者より除去されることができ、又はデバイスの設置を完了させた使用者により除去されることもできる。

従って、本発明の第2の見地によれば、絶縁性基板上に一群の薄膜トラックを含む複数の薄膜回路素子を有し、基板上の一群の薄膜トランジスタが、各トランジスタのチャネル領域が前記トラック群の各薄膜トラックに対するゲート可能なリンクを形成して電荷リーク通路の薄膜トラックを接続する回路を構成するように形成され、この電荷リーク通路が回路素子を静電放電の損傷から保護するように作用し、前記トランジスタ群が、ゲートバイアス電圧を印加してトランジスタのチャネル領域を流れる電流を制御するための共通のゲートラインを有する電子装置を提供する。

本発明においては、この電子装置は、薄膜トランジスタ群の各トランジスタが

、チャネル領域と共通のゲートラインとの区域に、前記共通のゲートラインに十分に高いゲートバイアスを印加してチャネル領域を蒸発させることにより前記トランジスタを開回路とするのに好適な薄膜構造体として形成されていることを特徴とする。この構造の実施例を図面を参照して以下に説明する。全ての薄膜トラックに対するリーク通路のゲート可能なリンクは、リーク通路が静電放電から保護するように作用した後、共通のゲートラインに高いゲートバイアス電圧を印加することにより同時に吹き飛ばされる。上述したように、ゲート可能なリンクの破壊は販売される前に製造者により又は使用者により行なわれることができる。

好ましくは、共通のゲートラインに高ゲートバイアス電圧を印加する前に、上側保護層を薄膜回路素子及び薄膜共通トラック上に形成する。この上側保護層は、薄膜回路素子及び薄膜トラックを破断したゲート可能リンクからの破片からマスクするように作用する。この保護層はチャネル領域のゲート可能リンクのトランジスタの薄膜構造体を露出させる意を有することができる。これらの意により、高いゲートバイアス電圧を印加することによりこれらトランジスタの薄膜構造体をこの区域において容易に吹き飛ばすことができる。一方、高いゲートバイアスを印加した際極めて高温の熱が生ずる場合（採用した薄膜構造体により）、この意を形成する必要はない。

所望の破断効果及び加熱効果を増強するため、上側保護層に加えて（又はその代りに）、チャネル領域と共通のゲートラインとの区域のゲート可能リンクトランジスタについて種々の薄膜構造を採用することができる。従って、例えば構造的特徴は、高ゲートバイアスによりゲート可能なリンクトランジスタ構造に生ずる電界強度が増大するように、及び／又はゲート可能なリンクトランジスタ構造のゲート誘電体に生ずる弱さを利用できるように、及び／又はチャネル領域からゲートラインまでのブレイクダウン電流通路の電気抵抗を増加させるように（つまり、ジュール加熱）、及び／又は加熱され蒸発される部分の熱容量を小さくするように設計することが好ましい。これらの構成により、高ゲートバイアスを印加したとき、高い電流密度及び高温度をゲート可能リンクトランジスタに局部的に得ることができる。極めて高温度への局所的な加熱を発生させることができる。この結果、ゲート可能なリンクトランジスタを、チャネル領域の全幅に亘って

リーク通路に沿って少なくとも局所的に全体として蒸発させることができる。

トランジスタのチャネル領域は、共通のゲートライン付近（又はオーバーラップしている部分）で細くなる幅を有する半導体薄膜パターンで形成することができる。チャネル領域をオーバーラップしている区域又はその近傍でこのような形状とすることにより、チャネル領域の熱容量が小さくなり、高ゲートバイアスを印加したとき、より大きな電気抵抗及びより高い電界集中が得られる。この結果、より高い局所的な加熱効果が生ずる。さらに、蒸発させてゲート可能なリンクを破壊させるのに必要なチャネル領域の材料がより小量になる。

この電子装置の薄膜回路素子はデバイス回路のトランジスタを含むことができる。ゲート可能なリンクのトランジスタはデバイス回路のトランジスタを形成するために用いた薄膜処理技術の少なくとも数工程（或は全ての工程）を用いる形成することができる。従って、ゲート可能リンクトランジスタを形成するための多数の特別な処理工程を削除することができる。

共通の半導体薄膜をパターン化してデバイス回路のトランジスタのチャネル領域及びゲート可能リンクのトランジスタのチャネル領域を形成することができる。デバイス回路のトランジスタのチャネル領域の幅は、各トランジスタの所望の回路特性に応じて正規に選択する。多くの場合、デバイス回路のトランジスタは、ゲート可能リンクトランジスタの細いチャネル領域よりも幅の広いチャネル領域を有することができる。これは、パターン及び寸法の両方について種々のトランジスタのチャネル領域を形成するためのマスクのレイアウトを変更するだけで済む。

ゲート可能リンクのトランジスタのゲート誘電体は、デバイス回路のトランジスタのゲート誘電体を構成する厚い絶縁性薄膜パターンよりも薄い厚さの絶縁性薄膜パターンにより形成することができる。この薄い誘電体は個別に堆積した薄膜とすることができる。一方、この薄い誘電体は、ゲート可能リンクの区域における厚い絶縁性薄膜を薄くするようにエッチングすることにより容易に形成することもできる。ゲート可能リンクトランジスタのゲート誘電体を薄くすることにより、適切な高ゲートバイアス電圧を印加することでこれらトランジスタのブレイクダウンを発生させることができる。エッチングを用いて絶縁性薄膜を薄く

することは薄膜の局部的欠陥の形成を促進するので、ブレイクダウンを促進させることになる。ゲートラインは薄いゲート誘電体の上側又は下側のいずれの側にも配置することができる。

本発明のゲート可能なリンクトランジスタは薄膜トラック群を周辺の短絡回路トラックに接続してリーク通路を形成することができる。本発明のゲート可能なリンクの薄膜トランジスタは薄膜接続トラックと共に電荷リーク通路中に挿入することができる。共通のゲートラインは、薄膜接続トラックの長手方向と直交する方向に延在すると共にゲート可能なリンクのトランジスタのゲート誘電体を構成する絶縁性薄膜パターンよりも厚い絶縁性薄膜パターンにより薄膜接続トラックから分離することができる。

以下、図面を参照して本発明の構成及び作用効果について説明する。

図1はESD保護リンクを有する電子装置の一部を示す平面図であり、本発明による方法の最終製造工程を示す。

図2は図1の装置の3個の薄膜構造A、B及びCの一例を示す断面図である。

図3は図2のゲート可能なリンク構造Aの一例を示す平面図である。

図4から図6は図2の構造体の他の製造工程における構造を示し、図6はゲート可能なリンクが高ゲートバイアスの印加により吹き飛ばされて開回路となったときの構造Aだけを示す。

図7～9は本発明による電子装置のESD保護の典型的なゲート可能なリンクのドレイン電流ゲート電圧特性(I_d , V_g)特性を示す。

図10は薄膜接続トラック間にゲート可能なリンクを有する本発明の電子装置を示す平面図である。

図11は図1、3及び10に示す配置構成と類似の配置構成を含む本発明のゲート可能なリンクの別の薄膜構造体の例を示す断面図である。

図8の特性以外の全ての図面は象徴的であり、スケール通りに図示されていない。図1～7及び9～11の部分の相対的な寸法及び比率は、図面を明確にするため拡大され又は縮小されている。図面中対応する部材には同一の符号が用いられている。

本発明は、絶縁性基板1上に形成した薄膜回路素子を有する種々の大面積電子

装置の製造に適用することができる。この電子装置（図1はコーナ部だけを示す）は、例えば特開平5-181157号公報のアクティブマトリックス液晶表面装置とすることができる。このような電子装置の例は米国特許第5103829号明細書及び1993年12月3日に米国に出願された米国特許出願第160990号（公開欧州特許出願第601652号）に開示されている。基板1は、表示装置の背面を構成すると共に画素スイッチング素子のマトリックス（例えば薄膜トランジスタ）及びマトリックス用の関連する駆動回路（同様に薄膜トランジスタで構成される）を支持する安価なガラスとすることができる。デバイス回路の薄膜トランジスタ（TFT）は図面中符号41で示す。マトリックス回路及び関連する回路の個々の回路素子は、基板1上に種々の材料の膜（例えば、導体、絶縁体、半導体、半絶縁体）を順次堆積することにより既知の方法で形成することができる。これらの膜は適切に処理（例えば、エッチング及び不純物添加）して薄膜接続トラックを含む薄膜トランジスタ及び他の回路素子の種々の領域及びパターンを形成する。図1はマトリックス及び関連する駆動回路のTFT41のいかなる回路形態をも図示していない。この理由は、これらTFTは、例えば米国特許第5103829号明細書及び公開欧州特許出願第601652号に記載されている種々の既知の形態にすることができるからである。米国特許第5103829号明細書及び公開欧州特許出願第601652号の記載内容は本願発明の内容として援用する。

アクティブマトリックスフラットパネルとするの代わりに、図1の装置は、薄膜イメージセンサ素子のアレイをアドレスするように作用すると共に関連するTFT回路により駆動されるスイッチングトランジスタ41のマトリックスを有するイメージセンサのような全く異なる機能を果たすように設計することができる。他の形態として、図1の電子装置は例えば薄膜キャパシタの記憶素子アレイをアドレスするように作用するTFT41のスイッチングマトリックスを具えるデータ記憶装置とすることができる。

基板1上の薄膜回路は種々のグループの薄膜接続トラックを具える。一例として基板1の周辺2に向けて延在する3個の接続トラック22、13、14のグループを示す。個々の例として、導体トラック22はアルミニウムのような金属と

し、導体トラック 13、14 を高不純物濃度の導電性多結晶シリコンで構成することができる。周辺 2 の近傍において、金属トラック 22 は拡大されてコンタクトパッド 22a を形成し、このパッドに外部ワイヤ（又は、他の形式の外部接続体）を接続することができる。

本発明に基づいて形成した電荷リーク通路がない場合、静電荷が蓄積して薄膜回路素子に損傷を与えるおそれがある。欧州特許出願公開第 601652 号に記載されているように、電荷の蓄積は、例えば本願の図 5 に示すように、イオン注入工程で生ずる場合がある。一方、電荷の蓄積は電子装置の処理中の静電現象として生ずる場合がある。この電荷の蓄積はより導体パターン 22、13、14 等間において放電損傷が発生し、例えば TFT41 のゲート誘電体膜 18 のような回路部分がブレイクダウンする可能性がある。

静電放電（ESD）による損傷を回避するため、基板上に装置の薄膜回路素子（例えば、TFT41）と共に一群の薄膜トランジスタ 45 を形成する。各トランジスタ 45 はチャネル領域 6 を有し、このチャネル領域は電荷リーク通路中のトラックを例えば周辺の矩絡回路リング 4、25 に接続する各薄膜トラック 22、13、14 に対してゲート可能なリンクを構成する。製造中の ESD の臨界段階（例えば、図 5 のイオン注入工程）において、リング 4、25 を既知の方法でアースする。リンクトランジスタのグループはトランジスタ 45 のチャネル領域 6 を流れる電流を制御する共通のゲートライン 7 を有する。このゲートライン 7 によりリンク 45 が破断される前に装置の回路を試験することができる。

本発明においては、これらリンクトランジスタ 45 の各々を、チャネル領域 6 を消滅させることによりトランジスタ 45 をオープン回路にさせるのに好適な薄膜構造体と共にチャネル領域 6 及び共通のゲートライン 7 の区域に形成する。この最終の永久的な条件は、共通のゲートライン 7 に十分に高いゲートバイアス V_g2 を印加することにより達成される。このグループの全ての薄膜トラック 22、13、14 等に対するゲート可能なライン 45 は、このようにして高い電圧 V_g2 を印加することにより同時に破断される。この処理は電子装置を販売する前に装置の製造者により行うことができる。或いは、電子装置をシステムに装着する前に使用者により行うこともできる。リンク 45 を除去するための共通のゲ

トライン7は電子装置の他の回路接続に対して独立して行う（コンタクトパッド22a～24aに対して独立すること及び電子装置のTFT回路41のゲート17への接続及び相互接続に対して独立することを含む）。ゲートライン7の大きなコンタクトパッドは、使用者に販売した際装置内において露出したままにして使用者ゲートライン7にバイアスVg2を印加できるようにし、これによりリンク45を除去することができる。

このような電子装置の製造について図2～8に基づいて説明する。図2、4及び5の断面図において、セクションAはゲート可能なトランジスタ45の区域を示し、セクションBは装置の回路の薄膜トランジスタ41の区域を示し、セクションCは導体トランジスタ22と13との間の重なり状態を示す。本発明により除去可能なゲート可能なリンクトランジスタ45の特有の例は図3の平面図及び図6の断面図に示す。

図2～6に示すTFT41及び45は所謂異面型の非反転型とする。この形式のTFTにおいて、ゲート電極7、17は、TFT45及び41のチャネル領域6、16を構成する半導体膜3上のゲート誘電体層8、18上に形成する。膜パターン3はTFTのソース領域及びドレイン領域4、5、14、15をも構成する。図4は、半導体構造体が絶縁性基板1上の半導体パターン3に絶縁性膜18を有する早期の製造工程を示す。

半導体パターン3はTFT41及び45用の個々の本体（例えば、図3のTFT45を参照）並びに個々の接続トラック（例えば、図1のトラック13、14、4を参照）を具える。この薄膜半導体パターン3は、例えば多結晶シリコンで構成することができる。その厚さは例えば約0.1 μ mとすることができる。図1及び3に示すように、半導体パターン3は各ゲート可能なリンクトランジスタ45の共通のゲートライン7が形成される予定の付近において細くなるような幅を有する。従って、半導体パターン3はゲート可能なリンクTFT45のチャネル領域6及びデバイス回路のTFT41のチャネル領域16を構成するが、TFT41のチャネル領域16はゲート可能なリンクのTFT45のチャネル領域の細い幅wよりも太い幅を有する。

図3はTFT45の半導体パターンがソース領域4及びドレイン領域5におけ

る幅Wからチャネル領域6における幅wに変化する状態を示す。典型的な寸法として、例えばwを約 $5\mu\text{m}$ とし、Wを約 $10\mu\text{m}$ とすることができる。TFT41のチャネル領域16の幅はWと同一か又はそれ以上とし、正確な寸法はTFTの電流容量に応じて定めることができる。

図4の誘電体膜18は、例えばシリコン酸化膜とすることができる。一方、他の絶縁材料（例えば、窒化シリコン）及びこれらの材料の組み合わせを用いることもできる。この絶縁膜は化学気相堆積により半導体パターン3上に形成する。誘電体膜18は典型的な場合例えば $0.15\mu\text{m}$ の厚さを有する。この厚さの誘電体膜18は、図2～5のセクションBに示すように、装置のTFT41内のゲート絶縁膜を構成する。ゲート可能なリンクTFT45のゲート誘電体膜8はより薄い絶縁性の薄膜パターン8により形成する。図4に示す実施例において、この薄い誘電体膜8は、誘電体膜18の一部の区域を局部的にエッチングすることにより形成される。従って、誘電体膜18はゲート可能なリンク45が形成される予定の区域A及び装置の回路が形成される予定の区域（セクションB及びCのような区域）に堆積する。マスクパターン20（例えば、フォトリソ）を堆積した誘電体膜18上に形成する。このマスクパターン20は、ゲート可能なリンク45が形成される予定の区域Aに窓21を有する。これらの窓21において、誘電体膜18はゲート誘電体膜18として必要な薄い厚さになるようにエッチングされる。このため、マスクが形成されている構造体をエッチャントに浸漬する。エッチング時間は装置回路のTFTのゲート誘電体を形成する場合さほど重要でない。従って、薄くされたゲート誘電体8を用いて以下の処理を行なう。

(1) 装置の試験に際し、低いゲート電圧 V_g1 を一時的に印加してTFT45をターンオフさせる。

(2) リンクTFT45を破壊する際、極めて高い電圧 V_g2 を印加する。

従って、薄くされた誘電体膜8の厚さは重要ではない。典型的な場合、その厚さは約 $0.05\mu\text{m}$ とすることができる。

マスクパターン20は、図4のエッチング工程の後に除去する。次に、別の薄膜パターン（例えば、多結晶シリコンのパターン）を堆積し除去してTFT41及び45のゲートライン7、17を形成する。図5は次の製造工程のイオン注入

工程において得られる構造体を示す。図5に示すように、不純物イオン30を半導体パターン3、7、17中に注入してTFT45の高不純物濃度領域4、5、7及びTFT41の高不純物濃度領域14、15、17を形成する。ゲートパターン7、17はこの不純物注入に対して既知の態様で下側のチャネル領域をマスクする。従って、本例において、TFT45及び41のチャネル領域6及び16はほぼ真性の導電率を有する。

次に、別の誘電体膜28を化学気相堆積により形成する。この膜28はシリコン酸化膜とすることができる。一方、他の絶縁材料（例えば、窒化シリコン）及びそれらの組み合わせを用いることもできる。膜28の典型的な厚さは例えば0.3 μm とする。次に、ソース領域及びドレイン領域4、5、7、14、15、17が形成される予定の位置にコンタクト窓のパターンを絶縁性膜28及び18に形成する。導電性の薄膜パターン（例えば、アルミニウムのような金属パターン）を堆積しエッチングして回路トラック22及び周辺トラック25並びにコンタクトパッド22a、23a、24a、27aのような相互接続部を形成する。

電子装置が回路動作を満足するか否か試験する。この試験を実行するため、導体トラック22、13、14……を短絡回路リング4、25から分離する。この分離は、ゲート可能なリンクTFT45の共通ゲートライン7に低いゲートバイアス電圧 V_{g1} を印加することにより行なう。この低い電圧は、図7及び8に示すTFT45のトランジスタ特性における最小電圧程度とする。このようにして、回路試験についてTFT45をターンオフさせる。この電気試験において装置回路が故障した場合、装置の製造者は故障の原因を特定しその修理を行なうことができる。

回路試験を順次通過した後、リンクTFT45を除去することにより図1及び2の電子装置の製造は完了する。保護層44（例えば、ポリマ材料の層）を薄膜回路素子41、22……上に形成して、これらリンクTFT45を消失させた際、ゲート可能なリンク45の破片からこれら回路素子をマスクする。この保護層44は、チャネル領域6の区域のゲート可能なリンクトランジスタ45の薄膜構造体を露出させる1個又はそれ以上の窓42を有することができる。これらの窓42は、電子装置をシステムに組み込む最終工程で外部接続体をボンディングす

るためのコンタクトパッド22a, 23a, 24aを露出させる処理工程に同一の処理工程で形成することができる。このコンタクトパッド窓は、共通のゲートライン7及び両辺リング4, 25上の共通窓42と一緒にすることができる。

ゲート可能なリンクTFT45は、本発明においては高いゲートバイアスVg2を印加することにより消滅する。このバイアスVg2はゲートライン7とリーク通路6, 4, 25との間に印加する。従って、短絡回路トラック45, 25は、高い電圧パルスVg2がゲートライン7に印加されたとき、アースされる。ゲートライン7とTFT45のチャネル領域6との間の薄い誘電体層8に主の電圧降下が生ずる。

図6はTFT45がどのように吹き飛ばされて消滅するのを示す。高い電圧Vg2が印加されると、ゲート誘電体膜8にブレイクダウンが生じ、誘電体膜8に局部的な欠陥（ピンホールや損傷サイトのような欠陥）が容易に発生する。チャネル領域6を細くすると、ブレイクダウン電流（接地されたソース4からの電子流Iとして示す）が流れる電流路の抵抗が増大する。誘電体膜8の局在化した欠陥サイト68においてブレイクダウン電流Iが急増する結果として、電流密度が極めて高くなる。TFT45の細いチャネル領域6において欠陥サイト68を経てゲートライン7に高密度電流が流れ、このTFTに過大な発熱が生ずる。例えば、温度は少なくとも1100℃又は1200℃以上にも達する。この結果、TFT構造体が蒸発する。TFT構造体45は広い領域に亘って、例えば図2, 3及び6に示す保護層44の窓42全体に亘って完全に吹き飛ばされる。

このように構成することにより、個々のトラック22, 13, 14等は短絡回路リングから分離され、この電子装置はコンタクトパッド22a, 23a, 24a等に入力する個々の信号により正常に動作することができる。

図7～9は本発明で用いることができるゲート可能なリンクトランジスタ45の種々のドレイン電流ゲート電圧特性(I_d, V_g)を示す。図7及び8に示す特性はゲート7の制御のもとでチャネル領域6を電子による電流が流れるnチャネルTFTに関するものである。図2及び6は、nソース領域4及びドレイン領域5を有するこのnチャネルTFTを示す。図2及び6のTFTにおいて、チャネル領域6は不純物が添加されず、例えば図5においてリンイオン又は砒素イ

オンを注入する場合マスクする。薄膜3の半導体材料中に高密度の欠陥状態が存在するため、フェルミレベルはバンドギャップのほぼ中心に位置する。従って、不純物が添加されていないチャネル領域6はほぼ真性な導電率を有するように作用する。実際に、多結晶シリコン薄膜3を形成するために用いた個々のアニーリング及び/又は結晶化及び/又は堆積技術に応じて、多くの場合フェルミレベルがバンドギャップの中心から伝導帯に向けてわずかにシフトすることが判明しているため、不純物が添加されていない多結晶シリコンのチャネル領域6は極めて低いn形の伝導率を有し、高インピダンスを呈することになる。この状態を図7及び8のVII-A曲線により示す。

図7及び8において、グラフの縦軸は、ゲート電圧 V_g が印加されたときのTFT45を流れるドレイン電流 I_d を示す。図8は、 $4\mu\text{m}$ のチャネル幅及び $12\mu\text{m}$ のチャネル長を有するTFT45の測定結果に基づきプロットした。印加したドレイン電圧は5Vである。図8において、 I_d をアンペアで示し、横軸 V_g/t はゲート電圧に対するシリコン酸化膜ゲート誘電体8の厚さの比であり $V/\mu\text{m}$ で示し、 V_g はゲート電圧をVで示し、 t はゲート誘電体層8の膜厚を μm で示す。従って、図8の横軸が $-50\text{V}/\mu\text{m}$ はゲート電圧が -2.5V でゲート誘電体の厚さが $0.05\mu\text{m}$ に相当する。ゲート誘電体の厚さが $0.15\mu\text{m}$ の場合（すなわち、回路TFT41のゲート誘電体として薄くされていない膜18を用いた場合）、 -2.5V の V_g を印加するとその等価の値は $-16.7\text{V}/\mu\text{m}$ となり、 $-50\text{V}/\mu\text{m}$ の値を得るには -7.5V の V_g を印加する。TFT45をターンオフさせる（回路の試験のため）低い電圧 V_{g1} 及びTFT45を吹き飛ばすための極めて高い電圧 V_{g2} は、これら図7及び8の特性に基づいて検討する。

電圧 V_{g1} の大きさはTFT45の閾値電圧に依存する。この閾値電圧はゲート誘電体8の厚さの関数であり、TFTのチャネル領域6の不純物濃度レベルを変更することにより所定のTFT構造体について変えることができる。電圧 V_{g2} の大きさはTFT45のゲート誘電体8の厚さに依存する。図8のような典型的な場合、 V_{g1} は約 -2V とし、 V_{g2} は約 50V 又はそれ以上の電圧とすることができ、すなわち V_{g2} は V_{g1} よりも1桁又はそれ以上大きくすることが

できる。 V_g が50Vでゲート誘電体8厚さの $0.05\mu m$ の場合横軸の値は $V/\mu m$ となり、図8の横軸のスケールを超えてしまう。このため、図7の曲線VII-Aは図8の約50V又はそれ以上の V_g を線図的形態として示す。この電圧 V_g はTFT45の正常なトランジスタ動作の範囲外であり、好ましくはゲート誘電体8のブレイクダウンによりトランジスタ構造を瞬時に破壊する。この過大なゲートバイアス V_g は一定の高電圧の単一パルスとして印加することができる、例えばms程度のパルス期間の単一パルスとして印加することができる。0~50Vの段階的なパルスの急激な立ち上がりの場合に生ずるオーバシュートを防止するため、この電圧は0.1~0.2m秒の期間に亘って0V~50Vまで連続的に増大させその後数m秒の期間に亘って50V又はそれ以上に維持することができる。定電圧パルスを印加する代りに、定電流を供給することができる。

図8及び7の曲線VII-Aはチャネル領域6に意図的に不純物が添加されていないTFT45についての特性を示す。このTFT45は、顕著なレベルのゲートバイアス電圧が印加されていない場合、チャネル領域に沿う導電率は極めて小さい。図8において、 $V_g=0$ の場合 I_d は 10^{-11} アンペアと 10^{-12} アンペアとの間にある。 $V_g=0$ の場合のチャネルコンダクタンスがこの程度の範囲にあることはESDの保護のために有益である。この理由は、(1)電荷リークのレートはチャネルコンダクタンスに従って増大すること、(2)バイアス V_g をゲートライン7に印加してESDの保護工程中にこのコンダクタンスを得ることは一般的に望ましくないためであるからである。一方、装置回路を試験する場合、リンク45のチャネルコンダクタンスは極めて小さいことが望ましい。従って、回路試験を行なう場合、TFTリンク45を図7及び8の最小電圧付近で動作させることが望ましい。

図8のTFT45を明確にターンオフさせるためには、微小な負のゲート電圧 V_g 1(例えば、約-2V)が必要である。或は、TFT45の閾値電圧を変えることにより、このトランジスタの電圧最小値を0V(又は、正の電圧)付近にシフトさせることができる。この特性のシフトは、ゲート誘電体8を変更すること又は充電することにより(例えば、その電荷量を変えることにより)或いはチ

チャネル領域6にアクセプタを添加することにより（例えば、チャネル領域6にボロンを添加することにより）行なうことができる。この特性のシフト（ボロン添加による）を図7の曲線VII-Bとして示す。この場合、回路の試験中にリンク45を確実にターンオフさせるためにゲートバイアス V_{g1} を印加する必要はない。一方、このVII-B曲線の V_{g0} において、チャネル領域6は高いインビダンス値をとり、ESDからの保護工程において正電荷が十分に高速でリークするおそれがある。

図7の曲線VII-Cは、チャネル領域6にドナー不純物（例えば、リン）が添加されている別の変形例を示す。ゲート閾値電圧を変えることにより、曲線VII-A及びVII-Bのエンハンスメント形TFT45はデプレッション形TFT45に変えられる。このチャネル領域6へのドナー不純物の添加の結果として、チャネルコンダクタンスはESDリークに対して適切な高レベル（ V_{g0} において、 I_g が適切なレベルになる）になる。ゲート7にバイアスを印加されていない場合、電荷リークの速度はESDからの保護に対して適切なものとなる。しかしながら、バランスさせる必要があり、回路試験の工程中にTFT45を確実にターンオフさせるために V_{g1C} の値が高くなり過ぎるおそれがある。

TFT45の特性が曲線VII-A又はVII-B又はVII-Cであるか否かに拘わらず、同一のバイアスレベル V_{g2} を用いてこれらTFT215を吹き飛ばすことができる。従って、ESDからの保護条件及び装置回路の条件に応じて、吹き飛ばし可能なゲート可能TFTリンク45を曲線VII-Bのような特性を有するエンハンスメント形TFTとし又は曲線VII-Cのような特性を有するデプレッション形TFTとすることができる。多くの状況下において、ESDリーク速度と回路試験図のゲートバイアス V_{g1} とがバランスした最適の両立性を有するものは曲線VII-Aの特性、すなわち V_{g0} においてある程度のコンダクタンスを有するエンハンスメント形TFT45である。

液晶表示装置及び他の大面積電子装置の薄膜回路はしばしばnチャネルTFT41で構成される。従って、このようなデバイスにおいてVII-A、VII-B及び／又はVII-Cの特性を有するnチャネルTFTリンク45を形成することは比較的容易である。今日、大面積電子装置の多くはC-MOS（nチャネル及びp

チャ

ネル) T F T 4 1 で形成された薄膜回路を有している。本発明によるC-MOSデバイスにおいて、吹き飛ばし可能なゲート可能リンク45は図2、6、7又は8に示すnチャネルT F Tである。或いは、リンク45はサンプル特性が図9に示すpチャネルT F Tとすることもできる。この場合、T F T 45のソース領域4及びドレイン領域5はp形の不純物(例えば、ボロン添加)を添加する。特性曲線IX-Aは、多結晶シリコンのチャネル領域6に意図的に不純物が添加されていない、すなわち領域6が極めて僅かなn形のコンダクタンスを有しほぼ真性のpチャネルT F T 45についてのものである。特性曲線IX-Bは、チャネル領域にボロンが添加され、 $V_g = 0$ においては電圧の最小値が局在するようにゲート閾値電圧がシフトしたT F T 45についての特性である。曲線IX-Cはチャネル領域6にドナー(例えば、リン)が添加されたpチャネルT F Tについての特性を示す。

本発明によれば、薄膜構造体及びその製造方法の両方について多くの他の変形が可能であることは明らかである。

保護層44に1又はそれ以上の窓42を形成することは有益であるが、極めて高い電界強度及び加熱強度を与えるようにT F T 45の薄膜構造体を適切に設計することにより、少なくとも保護層44がポリマ材料の場合、T F T構造体45が保護層44の上側の部分と共に蒸発する為高い温度を得ることができる。

図1のデバイス構造において、ゲート可能なリンクT F T 45は接続トラック13、14、22……の端部と周辺の短絡回路リング4、25との間に形成した。この周辺リングは半導体トラック4上の金属トラック25で構成することができる。一方、この周辺リングは金属トラック25だけで又は高不純物濃度の半導体トラックだけで構成することができる。本発明により吹き飛ばし可能なゲート可能リンクT F T 45は、電子装置の薄膜回路の他の位置に形成することもできる。

図10はT F T 45を薄膜接続トラック33、34、35、36と共に挿入した変形例を示す。トラック33から36は例えば不純物を添加した多結晶シリコ

ンとすることができる。他のトラック（金属トラック 37、38 のような）をこれらトラック 33 から 36 に重ねて形成することができる。図 10 の区域 C 及び

C' の薄膜構造体は図 2 のセクション C と同様にする事ができる。従って、2 個の薄膜 18 及び 28 により形成される厚い絶縁層が上側の導体 37、38 と下側の導体 33 から 36 との間に存在することができる。図 10 に示す構成において、吹き飛ばし可能な TFT 45 の共通ゲートラインはトラック 38 と個々のゲート 7 とで構成できる。この共通トラック 38 は絶縁性薄膜 28 の窓において TFT 45 の個々のゲート 7 と接触する。図 10 の TFT 45 の薄膜構造体は図 2 のセクション A に示す薄膜構造体と同様のものとする事ができる。従って、これら TFT 45 のゲート誘電体 8 は装置回路の TFT 41 のゲート誘電体 18 よりも薄くすることができる。TFT 45 のチャネル領域 6 は、図 10 に示すように、ゲート 7 の付近において細くすることができる。保護層 44 は図 10 のデバイス構造体の上側に形成することができる。この保護層 44 はゲート可能なリンク TFT 45 の区域の上側に 1 個又はそれ以上の窓 42 を有することができる。

本発明の範囲内において他の多くのの変形が可能であることは明らかである。図 2 から 6 は片面非反転 TFT 構造体を図示する。一方、TFT 41 及び 45 は基板 1 と半導体薄膜 3 との間にゲート電極 7 及び 17 とゲート誘電体 8 及び 18 を有する反転型とすることができる。さらに、TFT 41 及び 45 のソース電極及びドレイン電極 4、5、14、15 はチャネル領域 6 及び 16 と共面にする必要はない。従って、これらソース電極及びドレイン電極は、チャネル領域 6 及び 16 を構成する真性半導体薄膜 3 の上側（又は下側）に堆積した高不純物濃度半導体薄膜により形成することができる。

図 11 はゲート可能なリンク TFT 45 のこの変形例を示す。この TFT 45 はいわゆる「反転スタaggerド」型とする。そのチャネル領域 6 はゲート及びゲート誘電体上に位置する。ゲート 7 に高ゲートバイアス電圧 V_g 2 が印加されると、少なくとも TFT の上側部分（チャネル領域 6 を含む）が蒸発して電荷リーク通路 6、4、25 の開回路を形成する。

上述したように、チャネル領域 6 が形成される半導体薄膜、意図的に不純物を

FIG.1

【図3】

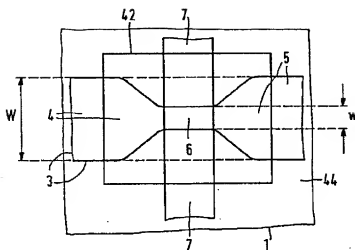


FIG.3

【図2】

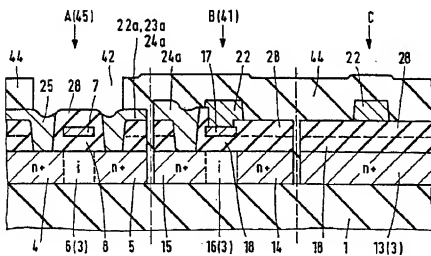


FIG.2

【图 6】

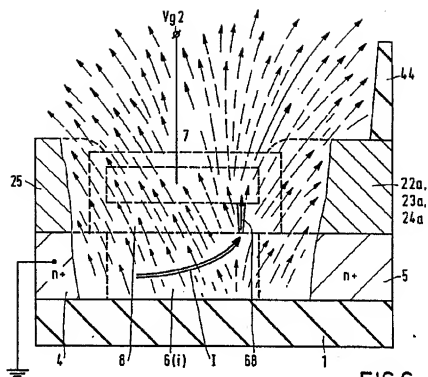


FIG.6

【图 7】

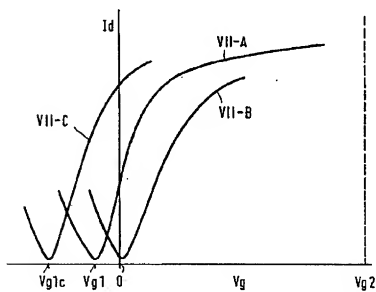


FIG.7

【图 8】

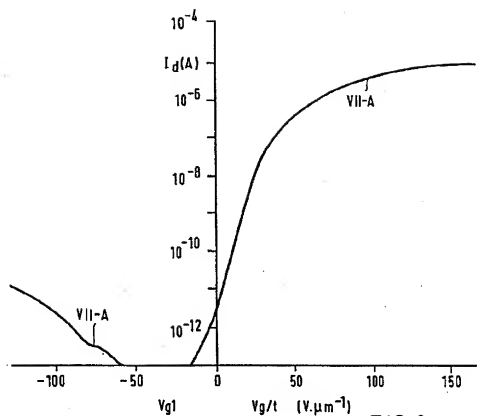


FIG.8

【图 9】

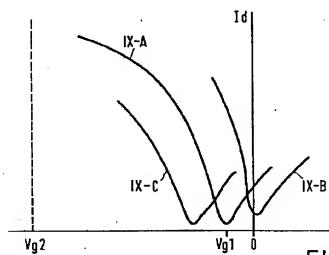


FIG.9

【図10】

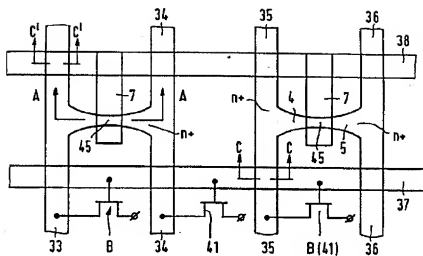


FIG. 10

【図11】

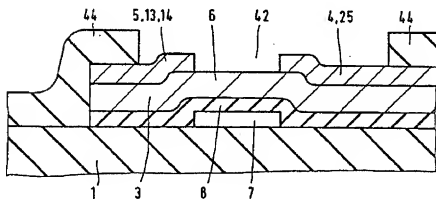


FIG. 11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB 95/00559

A. CLASSIFICATION OF SUBJECT MATTER

IPC6: H01L 21/84, H01L 23/60, G02F 1/136
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC6: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DIALOG: 2, 350, 351, 434

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0601652 A2 (PHILIPS ELECTRONICS N.V.), 15 June 1994 (15.06.94), column 2, line 41 - column 5, line 38, figures 1-5 --	1-11
A	EP 0589519 A2 (PHILIPS ELECTRONICS UK LIMITED), 30 March 1994 (30.03.94), column 2, line 1 - line 55, figures 1-5, claim 1 --	1-11
A	US 5195010 A (JOSEPH DRESNER), 16 March 1993 (16.03.93), column 1, line 32 - column 2, line 44, figure 1 --	1,9-11

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents

"A" document defining the general state of the art which is not considered to be of particular relevance

"B" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is considered with one or more other cited documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

12 March 1996

14-03-1996

Name and mailing address of the ISA/
Swedish Patent Office
Box 5055, S-102 42 STOCKHOLM
Facsimile No. +46 8 666 02 86

Authorized officer

Per Moritz
Telephone No. +46 8 782 25 00

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 95/00559

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5233448 A (BIING-SENG WU), 3 August 1993 (03.08.93), column 2, line 58 - column 3, line 32 —	1,9-11
A	US 5068748 A (YASUHIRO UKAI ET AL), 26 November 1991 (26.11.91), column 3, line 1 - column 4, line 60, figure 8 —	1,9-11
A	US 4875130 A (JEFF HUARD), 17 October 1989 (17.10.89), column 4, line 51 - column 5, line 40, figure 4 — ———	1,9-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

05/02/96

International application No.
PCT/IB 95/00559

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A2- 0601652	15/06/94	NONE	
EP-A2- 0589519	30/03/94	NONE	
US-A- 5195010	16/03/93	NONE	
US-A- 5233448	03/08/93	NONE	
US-A- 5068748	26/11/91	DE-D, T- 69015961 EP-A, A, A 0423824 JP-A- 3134628	22/06/95 24/04/91 07/05/91
US-A- 4875130	17/10/89	CA-A- 1332072 DE-D- 68924931 EP-A, A, A 0349890 JP-A- 2140979	20/09/94 00/00/00 10/01/90 30/05/90

る。この保護層（４４）はゲート可能なリンクを露出させる窓（４２）を有することができる。

